

CIRCUIT FOR CANCELING DC OFFSET (DC COMPONENT) CAUSED IN RECEPTION SYSTEM OF DIRECT CONVERSION RECEIVER

Patent number: JP2003298451
Publication date: 2003-10-17
Inventor: KOMATSU NORIAKI; TAMURA ATSUSHI; SUDO KAZUO; SATO TAKURO
Applicant: SATO TAKURO
Classification:
 - **international:** H04J3/00; H04B1/30; H04J3/00; H04J3/00; H04B1/30; H04J3/00; (IPC1-7): H04J3/00; H04B1/30
 - **European:**
Application number: JP20020133329 20020402
Priority number(s): JP20020133329 20020402

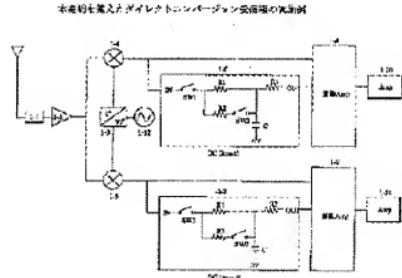
[Report a data error here](#)

Abstract of JP2003298451

PROBLEM TO BE SOLVED: To provide a circuit for canceling a DC offset (DC component) caused in a reception system of a direct conversion receiver at a high speed and capable of remarkably reducing the power consumption and contributing to downsizing.

SOLUTION: A signal demodulated by a mixer circuit 1-4 (1-5) is given to a DC Detect circuit 1-6 (1-7), wherein a DC offset is detected, a differential amplifier 1-8 (1-9) cancels the DC offset and the resulting signal is applied to an Amp 1-10 (1-11).

COPYRIGHT: (C)2004,JPO



Data supplied from the esp@cenet database - Worldwide

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2003-298451

(P2003-298451A)

(43)公開日 平成15年10月17日 (2003.10.17)

(51)Int.Cl.⁷

識別記号

F 1

テレコム(参考)

H 04 B 1/30

H 04 B 1/30

5 K 02 8

// H 04 J 3/00

H 04 J 3/00

Z

審査請求 未請求 請求項の数 1 書面 (全 4 頁)

(21)出願番号 特願2002-133329(P2002-133329)

(71)出願人 59602:2227

(22)出願日 平成14年4月2日 (2002.4.2)

佐藤 拓朗
神奈川県横浜市磯子区洋光台6-19-9

(72)発明者 小松 紀智

東京都足立区柳原1-2-2

(72)発明者 田村 鳥

東京都八王子市別所1-60-15

(72)発明者 須藤 和雄

東京都日野市日野木町5-1-4

(72)発明者 佐藤 拓朗

神奈川県横浜市磯子区洋光台6-19-9

F ターム(参考) 5K028 AA01

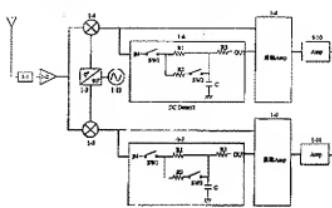
(54)【発明の名称】 ダイレクトコンバージョン受信機の受信系に生じるDCオフセット(直流成分)のキャンセル回路

(57)【要約】 (修正有)

【課題】 ダイレクトコンバージョン受信機の受信系に生じるDCオフセットのキャンセル動作を高速化できと共に、消費電力の大額な低減や小型化も可能にする回路を提供する。

【解決手段】 ミキサ回路1-4、1-5で復調された信号は、DC Detect回路1-6、1-7に入力されそこでDCオフセットは検出され差動Amp 1-8、1-9においてDCオフセットはキャンセルされ、信号は、Amp 1-10、1-11に印加される。

本発明を達成したダイレクトコンバージョン受信機の構成図



【特許請求の範囲】

【請求項1】時分割多重方式通信システムにおいて、受信した高周波信号(RF)とこの信号と同一周波数の局部発振信号(LO)とを周波数混合してベースバンド信号に変換する周波数変換手段(ミキサ)と、前記周波数変換手段(ミキサ)の出力にDC Detect回路が繋がり、このDC Detect回路は入力に第一のスイッチと充電用時定数調節素子と、これにつながる第二のスイッチとこれにつながる片側接地のコンデンサを備え、このコンデンサと前記第一スイッチとの間に第一の放電用時定数調節素子を備え、またさらに前記コンデンサと出力との間に第二の放電用時定数調節素子を備え出力する構成で、この後段に前記DC Detect出力と、前記周波数変換機出力との差動出力を得る差動増幅器を備える構成で、DC Detect動作は、正規の受信フレーム前(データが無く基本的には安定した時間)の一一定時間に入力側の第一のSWをONにし、同時に第二のSWもONとし、正規受信フレームの開始タイミングに、第一のSWをOFFにし、同時に第二のSWもOFFする。DCオフセット成分(直流成分)を正規受信フレーム受信期間打ち消すができますことを特徴とするダイレクトコンバージョン受信機。

【発明の詳細な説明】

【0001】

【発明に属する技術分野】本発明はダイレクトコンバージョン受信機に関し、受信高周波信号をミキサで局部発振周波数と周波数変換して直接ベースバンドの信号を得るゼロ中間周波数(1F)受信機と言われるダイレクトコンバージョン受信装置およびRFICに関する。

【0002】

【従来の技術】ダイレクトコンバージョン方式を採用したときの構成図を図1に示す。(但し、この構成図は送信の影響を考慮しない場合のみの基本形である。)図1の基本形にあらるダイレクトコンバージョン方式は回路構成上は特に問題となることは無く、回路構成上イメージの問題も無くなり、中間周波数フィルタも不要となることから周波数回路の部品数と直射出力の利点をもっている。ダイレクトコンバージョン方式でDCオフセットが問題になるのは、複数に必要な信号と不要なDCオフセットの周波数帯域が重なってしまい、フィルタなどでは取り除けないからである。スーパー・ヘテロダイアン方式ではRF信号を最初に変換する1F信号の搬送波周波数は数百MHzである。直流成分が混じっても、帯域通過フィルタを用いれば直流成分だけを除去できる。基本的にDCオフセットはミキサ回路で生じる。ミキサ回路はRF信号とLO信号(局部発振器)と呼ばれる信号源からの信号をミキシングし(乘算)し、周波数を変換する回路である。要するに、LO信号が送信系(ミキサのRF信号側の入力端子)から回り込むと、LO信号(受信周波数と同一周波数)同士をミキシング(自己ミ

キシング)し、この結果発生するのがDCオフセットである。図2にダイレクトコンバージョンを実現しようとするときの問題を示す。この問題を解決するための従来技術として大きく分けると以下の3つがある。

① 高精度ミキサ回路の回路技術、回路技術でDCオフセットを出来るだけ留まり、抑え切れないDCオフセットは結局、他のブロックで補償しなければならない。

② ディープトレンチを製造するための技術などのプロセス技術。(Si基板を経由して漏れてくるLOの信号対策)

製造時の工程が増えてしまいコスト高の要因になる。またこれだけではDCオフセットを完全に抑止できるわけではない。③ DCオフセット補償などの信号処理技術。(高分解能のA-D変換器、DSPによるフィードバック制御によるDCオフセット補償)

DCオフセットのフィードバック制御がベースバンド信号処理LSIを前提にしている為、BB-RF間の制御インターフェースの整合を取る必要がある。

【0003】

【発明が解決しようとする課題】DCオフセットは基本的にRF信号と同じ周波数のLO信号の送信系からの回り込みによって発生する。この送信からの回り込み対策としては、この干渉波が0ビートになることからDCカットする方法がある。しかし、DCカット法はベースバンド信号との分離の問題やDCカット回路による過渡特性による影響がある。図3に示す方法は受信の信号伝送についてはDCカットを行わず、直流传送を行った上でバイパス回路にて送信からの回り込みによる直流成分(DCオフセット)を検出し、後段の差動アンプにてDCオフセット(直流成分)をキャンセルする方式である。また、本発明の他の目的は、比較的小型な回路構成で直流オフセット電圧の影響を無視し得るダイレクトコンバージョン受信装置またはRFICを提供することにある。

【0004】

【課題を解決するための手段】上記の目的を達成する本発明のダイレクトコンバージョン受信機は、時分割多重方式通信システムにおいて、受信した高周波信号(RF)とこの信号と同一周波数の局部発振信号(LO)とを周波数混合してベースバンド信号に変換する周波数変換手段(ミキサ)と、正規の受信フレームを受信する前に、前記周波数変換手段(ミキサ)の出力信号から局部発振信号の送信系からの回り込み信号からの影響により発生するオフセット電圧を検出するオフセット電圧検出手段(DC Detect)と、正規の受信フレームを受信している期間、前記オフセット電圧検出手段により検出されたオフセット電圧に応じて、前記周波数変換手段の出力信号におけるオフセット電圧を打ち消すオフセット消去手段とを備える。

【0005】

【発明の実施の形態】時分割多重方式通信システムにおいて、ダイレクトコンバージョン受信機を用いて受信高周波信号をミキサで局部発振周波数と周波数変換して直接ベースバンドの信号を得るゼロ中間周波数（IF）受信機と言われるダイレクトコンバージョン受信装置およびRFICで、周波数変換後に現れる送信系からの回り込みにより生じたDCオフセット（直流成分）を検出し、この検出されたオフセット電圧に応じて周波数変換手段の出力信号におけるオフセット電圧をその後にある動作增幅器にて打ち消す。

【0006】

【実施例】図4にDCオフセット検出部（DC Detect）の回路構成を示す。図5に本発明を備えたダイレクトコンバージョン受信機の実施例を示す。時分割多重方式通信において、アンテナから受信した信号は、1-1のスイッチを介して前置増幅器1-2で増幅される。増幅器の出力は直交チャネルと同相チャネルの2つのチャネルに分離され、直交チャネルの信号はミキサ回路1-4により復調される。この時の局発振器1-1の発振周波数は受信した信号と同一周波数で発振する。同様に、同相チャネルは局発振器1-1-2より発振した周波数を移相器1-3で90°位相をずらした同相ローカル発振周波数でミキサ回路1-5を介して復調する。ミキサ回路1-4、1-5で復調された信号は、DC Detect回路1-6、1-7に入力され、DCオフセットを検出し、差動Amp1-8、1-9でDCオフセットをキャンセルできる。この後にAmp1-10、1-11を通りADCに入力される。この受信系の流れの中で、1-6、1-7に示したDC Detect回路について詳細を以下述べる。このDC Detect回路1-6、1-7は入力に第一のスイッチSW1と充電用時定数調節素子R1、R2と、これに繋がる第二のスイッチSW2とこれにつながる片側接地のコンデンサCを備え、このとSW1との間に第一の放電用時定数調節素子R1を備え、またさらにCから第二の放電用時定数調節素子R2を備え出力する構成で、この後段に前記DC Detect出力と、ミキサ回路出力との差動出力を得る差動増幅器1-8を備える構成で、DC Detect動作は、正規の受信フレーム前（データが無く基本的には安定した時間t1からt2）の一定時間に入力側のSW1をONにし、同時にSW2もONとし、ミキサ出力信号に加算されている、局部発振信号1-2の送信系からの回り込み信号からの影響によ

りミキサ回路1-4、1-5から発生するオフセット電圧を、R1、R2を介して、Cにより蓄え、DCオフセット（直流成分）を検出し、正規受信フレームの開始タイミングt2に、SW1をOFFにし、同時にSW2もOFFすると、R1またはR2を介してCにより蓄えられたDCオフセット（直流成分）を放電する機能として働き、R1またはR2とCからなる時定数を大きくすることにより、受信フレーム間t2からt3はほとんど検出されたDCオフセット（直流成分）が変わらないようになることが可能であり、（放電動作をゆっくりさせることが可能であり）、この検出されたDCオフセット（直流成分）とミキサ回路出力との差動出力を得る差動増幅器にて、DCオフセット成分（直流成分）を正規受信フレーム受信時間（t2からt3）打ち消す事が可能になる。なを、図中、各ブロックの大きさ、形状および配置関係は、この発明が理解できる程度に概略的に示してあるに過ぎないことを理解されたい。

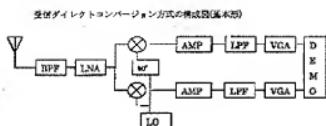
【0007】

【発明の効果】以上説明したように、本発明のダイレクトコンバージョン受信機の受信系に生じるDCオフセット（直流成分）のキャンセル方式によれば、ベースバンド信号の直流オフセット電圧のオフセットキャンセルのための一巡ループが開ループを構成しているので、従来のように当該一巡ループを閉ループとした場合に比して、キャンセル動作をより高速化できるという効果がある。また、ベースバンド信号の直流オフセット電圧を、受動素子である直流除去用コンデンサにより除去するようしているため、オフセットキャンセラにより直流オフセット電圧を除去する従来受信装置にくらべて、消費電力を大幅に低減できると共に回路構成を小型化できる。

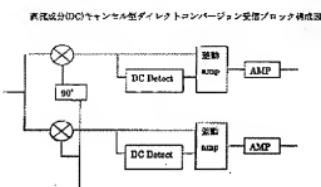
【図面の簡単な説明】

- 【図1】受信ダイレクトコンバージョン方式の構成図（基本形）
- 【図2】ダイレクトコンバージョンを実現しようとするときの問題
- 【図3】直流成分（DC）キャンセル型ダイレクトコンバージョン受信ブロック構成図
- 【図4】DC Detect部回路構成図
- 【図5】本発明を備えたダイレクトコンバージョン受信機の実施例
- 【図6】制御タイミング

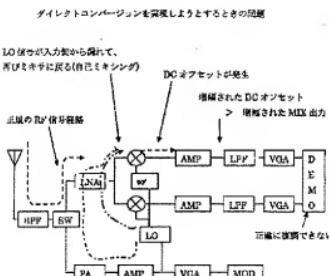
【図1】



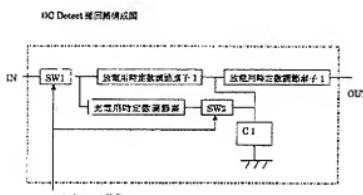
【図3】



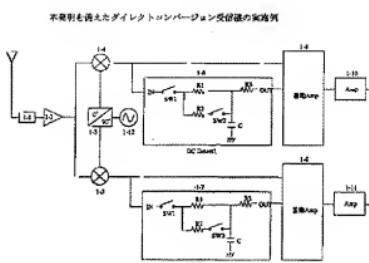
【図2】



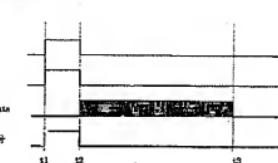
【図4】



【図5】



制御タイミング



【図6】